

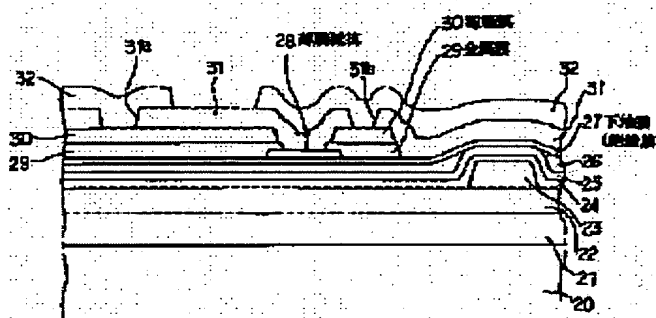
MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Patent number: JP2001118844
Publication date: 2001-04-27
Inventor: SHIRAKI SATOSHI; YAMAMOTO TOMIO
Applicant: DENSO CORP
Classification:
- **International:** H01L21/3205
- **European:**
Application number: JP19990295281 19991018
Priority number(s):

Abstract of JP2001118844

PROBLEM TO BE SOLVED: To prevent a TiW film which is formed as the barrier metal between a thin film resistor and an electrode film from coming off on the portion of an insulating film.

SOLUTION: During the process of patterning a thin film resistor 28 in an SOG film 26 formed on a silicon substrate 20 as a base interlayer insulating film and a second TEOS film 27, moisture is left in the SOG film 26. Before forming a TiW film 29 which is less adhesive to the insulating film is formed, a gas generating component is removed by performing heat treatment at 450 deg.C for about 30 minutes as a deaerating process. Consequently, the occurrence of peeling due to the occurrence of a gas can be prevented even when the TiW film 29 is subjected to a temperature raising step in a succeeding process. Since the occurrence of peeling can be prevented by only adding a simple process, the occurrence of peeling can be prevented easily and inexpensively without requiring any process change.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-118844

(P2001-118844A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.⁷

識別記号

FI

テーマコード(参考)

H01L 21/3205

H01L 21/88

R 5F033

審査請求 未請求 請求項の数14 OL (全 10 頁)

(21) 出願番号 特願平11-295281

(22) 出願日 平成11年10月18日 (1999.10.18)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 白木 聡

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 山元 富雄

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

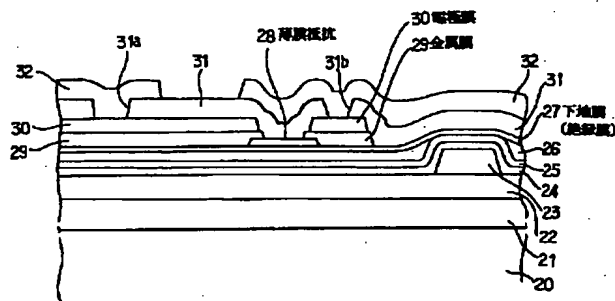
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 薄膜抵抗体と電極膜とのバリアメタルとしてのTiW膜が絶縁膜上の部分で剥がれないようにする。

【解決手段】 シリコン基板20上に下地層である層間絶縁膜として成膜したSOG膜26および2ndTEOS膜27に薄膜抵抗体28をパターニングする過程で、水分がSOG膜26中に残留する。絶縁膜への密着性が低いTiW膜29を成膜する前に、脱気処理工程として熱処理を450℃で30分程度行なうことで、気体発生成分を除去しておく。これにより、後工程で昇温過程を経る場合でも気体発生に起因した剥がれの発生を防止できる。簡単な工程を追加するだけで良いので簡単且つ安価に実施でき、工程の変更を不要とすることができる。



【特許請求の範囲】

【請求項1】 下地層上に金属膜を積層する成膜工程を含んだ半導体装置の製造方法において、前記下地層に気体発生成分が含まれる場合に、前記金属膜の成膜工程に先立って、前記下地層に含まれる気体発生成分を除去する脱気処理工程を設けたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、前記脱気処理工程は、熱処理により行なうことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法において、前記脱気処理工程は、後工程で昇温過程がある場合に、その昇温過程における処理温度と同等以上の処理温度条件にて熱処理するようにしたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1ないし3のいずれかに記載の半導体装置の製造方法において、前記下地層は、絶縁膜であることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、前記下地層としての絶縁膜は、平坦化処理用の薄膜であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、前記平坦化処理用の薄膜を形成する工程では、SOG (Spin On Glass) を用いて平坦化処理を行なうことを特徴とする半導体装置の製造方法。

【請求項7】 請求項5または6に記載の半導体装置の製造方法において、前記下地層としての平坦化処理用の薄膜は、TEOS膜であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1ないし7のいずれかに記載の半導体装置の製造方法において、前記金属膜は、前記下地層に形成される薄膜抵抗体とその電極膜との間に形成されるバリアメタルとして形成されるものであることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8に記載の半導体装置の製造方法において、前記薄膜抵抗体は、CrSi (クロムシリコン) 系の薄膜であることを特徴とする半導体装置の製造方法。

【請求項10】 請求項8または9に記載の半導体装置の製造方法において、前記金属膜は、TiW膜であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項8ないし10のいずれかに記載の半導体装置の製造方法において、

前記薄膜抵抗体の電極としてアルミニウムを用いていることを特徴とする半導体装置の製造方法。

【請求項12】 請求項2ないし11のいずれかに記載の半導体装置の製造方法において、前記脱気処理工程は、300℃以上で500℃以下の温度で熱処理することを特徴とする半導体装置の製造方法。

【請求項13】 請求項2ないし11のいずれかに記載の半導体装置の製造方法において、前記脱気処理工程は、400℃以上で500℃以下の温度で熱処理することを特徴とする半導体装置の製造方法。

【請求項14】 請求項2ないし11のいずれかに記載の半導体装置の製造方法において、前記脱気処理工程は、450℃で熱処理することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下地層上に金属膜を積層する成膜工程を含んだ半導体装置の製造方法に係り、特に下地層に気体発生成分が含まれる場合に有効な半導体装置の製造方法に関する。

【0002】

【発明が解決しようとする課題】例えば、下地層としての絶縁膜上に薄膜抵抗などを形成する構成の半導体装置においては、薄膜抵抗として用いる材料と電極となる金属膜との間にこれらの相互拡散の防止を図るためのバリアメタルを設けることが行なわれる。これにより、電流許容量の低下を防止するようにしている。

【0003】薄膜抵抗として、例えば、CrSi (クロムシリコン) を用いたものでは、電極金属膜として用いるアルミニウム膜との間にバリアメタルとしてTiW膜を形成することがある。この場合、電極金属膜の形成領域は薄膜抵抗の形成領域部分から下地層の絶縁膜上に延出するように形成され、上部の引出電極膜との接触をとる部分まで配線の引き回しを行なう。

【0004】この時、バリアメタルであるTiW膜とアルミニウム膜とを同じパターンで1回のフォトリソグラフィ処理により形成する都合で、TiW膜が直接下地の絶縁膜上に形成されることになる。ところが、このような金属膜は絶縁膜に対して密着性が良くないものがあり、工程が進むにしたがってその部分で剥がれが生じてしまう場合がある。

【0005】このため、従来では、このような構成を採用する場合には、下地層と金属膜との密着度が良好なものを選ぶ必要があり、設計上の制約事項となることがあるなどの不具合があった。以下、図7および図8を参照してその不具合について簡単に説明する。

【0006】図7は剥がれが発生する部分を模式的断面図で示すものである。シリコン基板1は、必要に応じて

トレンチなどを形成して絶縁分離したもので、その表面に下地絶縁膜としてのBPSG (Boron Phospho Silica ted Glass) 2が形成されている。このBPSG 2上に、まず、第1層目のアルミニウム (1st Al) 膜3がパターンニングされており、これを覆うようにしてプラズマ窒化膜 (P-SiN膜) 4が形成され、この上に層間絶縁膜として第1層目のTEOS (1st TEOS) 膜5が形成されている。1st TEOS膜5上には、段差部分をなだらかにするためのSOG膜6が塗布成膜され、この上に第2層目のTEOS (2nd TEOS) 膜7が形成されている。

【0007】2nd TEOS膜7上には、薄膜抵抗として所定膜厚のCrSi膜が成膜され、フォトリソグラフィ処理によりパターンニングして薄膜抵抗体8が形成されている。薄膜抵抗体8の両端部には電氣的接触を取るためにバリアメタルとしてのTiW膜9および電極金属であるアルミニウム電極膜10が積層形成され、所定の電極形状にパターンニングしている。この上に、第3層目のTEOS (3rd TEOS) 膜11が形成され、アルミニウム電極膜10とコンタクトをとる部分がパターンニングにより開口され、第2層目のアルミニウム (2nd Al) 膜12がパターンニング形成されている。そして、2nd Al膜12を覆うようにしてパッシベーション膜が形成されている (図示せず)。

【0008】上記構成を形成するときに、TiW膜9を形成した後に、種々の後工程を経ることで、何らかの原因によって、TiW膜9が下地層として2nd TEOS膜7が形成された部分との間で剥がれを生ずるため、不良となる不具合がある。剥がれの状態としては、ボイドが発生してTiW膜9から上の部分が浮いた状態となったり、あるいは完全に剥がれた状態となるものである。また、外見上では剥がれていないように見えても、既に剥がれた状態となっていてボンディング時などに剥がれ不良として現れるものもある。

【0009】次に、上述の2nd TEOS膜7を形成した状態から2nd Al膜12を形成するまでの間の製造工程について図8を参照して簡単に説明する。図8

(a)は2nd TEOS膜7を形成した後に薄膜抵抗体8をパターンニングした状態で示している。SOG膜6を形成した後に、2nd TEOS膜7を形成する際には、SOG膜6の表面をO₂プラズマにより前処理を行ない、この後2nd TEOS膜7を成膜する。

【0010】薄膜抵抗体8としてCrSi膜を形成し、所定の形状となるようにフォトリソグラフィ処理によりパターンニングのエッチングを行ない、この後フォトレジストを剥離処理する。この剥離処理では、洗浄液としてイソプロピルアルコールや水などを用いている。つまり、TiW膜9の成膜前の状態における下地層の処理状態は上述の過程を経たものである。

【0011】続いて同図 (b) に示すように、TiW膜

9およびアルミニウム電極膜10を成膜する。フォトリソグラフィ処理によってTiW膜9およびアルミニウム電極膜10をパターンニングすべくフォトレジスト膜を形成し、アルミニウム電極膜10およびTiW膜9の露出した部分を、それぞれに対応したウェットエッチング処理により除去する。

【0012】それぞれのウェットエッチング処理では、エッチング液が異なり、アルミニウム電極膜10のエッチング処理ではTiW膜9がエッチングストップとして働き、TiW膜9のエッチング処理では、アルミニウム電極膜10はエッチングが進行しないので、TiW膜9のみをエッチングすることができ、CrSi膜がエッチングストップとして機能する。なお、このようなエッチングが行なえることから、TiW膜9およびアルミニウム電極膜10は1回のフォトリソグラフィ処理を経ることでパターンニングを行なうことができる。

【0013】この後、同図 (c) に示すように、3rd TEOS膜11を形成し、フォトリソグラフィ処理によりコンタクトホールを形成し、前述のように2nd Al膜12を形成すると共に、フォトリソグラフィ処理によってパターンニングする。最後にパッシベーション膜として例えばP-SiN膜を形成する。なお、2nd Al膜12形成時のAlシンター処理やP-SiN膜のアニール処理などの熱処理工程を経ることで、前述したように、TiW膜9が2nd TEOS膜7から剥離してしまう不具合が発生することがある。

【0014】これは、TiW膜9などの金属膜が、一般に酸化膜などの絶縁膜との間の密着性が低く、剥がれやすい傾向にあることも起因している。同じ金属膜でも、例えばアルミニウムなどは下地層が酸化膜などの絶縁膜であっても密着性は良好であり、上述のような場合でも剥がれを起こすことはほとんどない。

【0015】この点を考慮すると、TiW膜9を形成するのは、薄膜抵抗体8の部分のみとし、2nd TEOS膜7上には直接アルミニウム電極膜10を形成するようにパターンニングする構成とすればこのような不具合の発生を避けることはできる。しかし、そのような構成を採用するためには、TiW膜9のパターンニング工程とアルミニウム電極膜10のパターンニング工程とを別々に行なう必要があり、フォトリソグラフィ処理を2回行なうことになるので、工程のコストが増加してしまうことになる。

【0016】一方、絶縁膜上への金属膜の密着性を向上するための対策として、例えばTiW膜9を成膜する前に、薄いTi膜などを成膜する構成を採用することが考えられる。しかしながら、Ti膜はTiW膜9に比べてエッチングレートが高く、しかも、ウェットエッチング処理を行なう関係から、Ti膜がアンダーエッチング状態となることを避けられず、安定した工程を実施することが難しくなる点で、採用することは難しい。

【0017】本発明は、上記事情に鑑みてなされたもので、その目的は、下地層上に金属膜を成膜する工程を有する半導体装置において、下地層に気体発生成分が含まれる場合に金属膜が剥がれる不具合を解決することができるようにした半導体装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】請求項1の発明によれば、下地層上に金属膜を積層する成膜工程を含んでいて、下地層に気体発生成分が含まれる場合に、その金属膜の成膜工程に先だって、脱気処理工程を行なうことにより下地層に含まれる気体発生成分を除去し、この状態で金属膜の成膜工程を実施するので、金属膜を成膜した後においては、下地層中から気体成分が発生することがなくなる。この結果、後工程を経ることで下地層中の気体発生成分が気体になって金属膜との間に発生することに起因する密着度の低下あるいは剥がれを防止でき、下地層との密着性の良い金属膜の成膜を行なうことができるようになる。また、下地層として気体が発生する可能性の高いものであっても十分使用することができる工程とすることができ、工程の設定や材料の採用の自由度を高めることができるようになる。

【0019】なお、発明者らは、上記発明に想倒するに至る過程として、上述の金属膜の剥がれの原因を下地層との関係であることを解明すると共に、その結果に基づいてこれを解決する方法として脱気処理工程を実施することが有効であることを見出したものである。

【0020】すなわち、従来における剥がれの発生は、成膜しようとする金属膜の面積が一定以上になると徐々に発生率が増大し、ついにはほとんど100%の発生率となることがわかった。この結果を考慮すると、従来技術の範囲においては、金属膜の面積を一定以内の大きさに抑えるように設計する必要がある、これは設計上の制約となるものであった。この発明により、剥がれの発生を極力抑制することができ、これによって上述のような制約をなくして、設計の自由度の向上も図れるようになった。

【0021】請求項2の発明によれば、上述の場合において、脱気処理工程として熱処理を行なうので、特殊な工程を採用する必要がなく、処理装置や処理技術に大きな変更を伴うことがなくなるので、簡単且つ安価に脱気処理を行なって上記した効果を得ることができるようになる。

【0022】請求項3の発明によれば、脱気処理工程を熱処理によって行なう場合において、後工程で昇温過程がある場合に、その昇温過程における処理温度と同等以上の温度条件にて熱処理するので、後工程での気体成分の発生を抑制しながら、必要以上に高い温度での熱処理を行なうことがないので、無理のない工程として追加することができ、しかも簡単安価に実施することができる

ようになる。

【0023】請求項4の発明によれば、請求項1ないし3の発明において、下地層が絶縁膜である場合に脱気処理工程を用いているので、金属膜を絶縁膜を介して絶縁状態に形成する構成を必要とする加工工程を有する半導体装置を製造する場合において、その絶縁膜中に含まれる気体発生成分を除去した上で金属膜を成膜することができるようになる。

【0024】請求項8の発明によれば、金属膜を、下地層上に形成される薄膜抵抗体とその電極膜との間に形成されるバリアメタルとしているので、薄膜抵抗体と電極膜との間の相互拡散などを防止する構成を採用することができ、この場合において、電極膜を薄膜抵抗体の形成部分以外の下地層上に配設する場合でも、バリアメタルとしての金属膜と共に電極膜を形成して金属膜を下地層上にも形成した状態でパターンニングのエッチング処理を行なうことができ、工程を少なくすることができるようになる。

【0025】

【発明の実施の形態】以下、本発明を集積回路の製造工程に適用した場合の一実施形態について図1ないし図6を参照しながら説明する。図1は、本発明の製造方法によって製造された半導体装置であるMOSFETの集積回路に形成する薄膜抵抗形成部分を模式的な断面で示すものである。シリコン基板20は、例えばSOI構造の基板を用いており、図示しない領域にトレンチ分離構造を形成すると共にMOSFETなどの半導体素子が形成されたもので、図示の表面領域にはLOCOS膜21およびBPSG膜22が積層形成されている。

【0026】BPSG膜22上には、1st Al膜（第1層目のアルミニウム配線パターン）23が形成されており、シリコン基板20の素子形成領域の電極形成部分とオーミックコンタクトを形成している。この1st Al膜23の形成に際しては、必要に応じてTiN膜を介在させることが行なわれる。

【0027】層間絶縁膜としては、P-SiN膜（プラズマ窒化膜）24上に、第1TEOS膜（1st TEOS（テトラエトキシシラン）膜）25が形成され、SOG（spin on glass）26により平坦化された状態のところに第2TEOS膜（2nd TEOS膜）27が成膜されている。この2nd TEOS膜27上には、所定の位置に薄膜抵抗体28が形成されている。この薄膜抵抗体28は、例えば、CrSi膜をスパッタリングにより膜厚15nm程度形成している。そして、この薄膜抵抗体28の両端部にバリアメタルとなる金属膜としてのTiW膜29を介して薄膜抵抗体用電極としてAlSi膜30を形成している。

【0028】これらを覆うように層間絶縁膜としての第3TEOS膜（3rd TEOS膜）31が形成され、所定の部分にVia 31a、31bなどが形成され、これ

らを介して2nd Al膜としてのAlSi膜32が形成されている。そして、図示はしないが、最上層には素子全体を保護するためのパッシベーション膜としてP-SiN膜が形成された状態に構成されている。

【0029】なお、上述の構成において、2nd TEOS膜27および3rd TEOS膜31は、一般的な層間絶縁膜の形成工程において用いられる第2 TEOS膜を2回に分けて積層したもので、それらの厚さ寸法の和は一層のみ形成する通常の工程で用いられるものと同等の厚さ寸法となるように設定されている。

【0030】さて、次に、上記したMOSICの製造方法について図2ないし図14をも参照して説明する。ここでは、製造工程を図2に示す12のプロセスP1~P12に分けており、これらの各プロセスを図3ないし図5も参照しながら以下に順次説明する。

【0031】

【プロセスP1】…トレンチ絶縁分離工程

前述したように、SOI構造のシリコン基板20に対して、これに形成するMOSFETや薄膜抵抗体などの種々の素子に対応してFET形成領域あるいは薄膜抵抗体形成領域を分離工程を経て設ける。この場合、分離工程では、各領域に対応してそれらの境界部分にシリコン基板20内部のシリコン酸化膜層まで到達する深いトレンチをエッチング処理などにより形成し、その後、トレンチ部分の側壁にシリコン酸化膜を形成して各領域を絶縁分離する。この後、トレンチ内部の側壁部分を多結晶シリコン層を成膜して充填することによりシリコン基板20の表面を平坦化している。

【0032】 【プロセスP2】…デバイス形成工程

次に、シリコン基板20のFET形成領域に、一般的な製造技術を用いて所定の不純物領域を形成する。この後、CVD法等により窒化シリコン膜(Si₃N₄)を形成すると共にフォトリソグラフィ処理によって各領域の境界部分のトレンチ形成領域の上部に窓を形成し、フィールド酸化膜としてのLOCOS膜21を形成する。

【0033】次に、図示はしないが、FET形成領域に所定厚さ寸法のゲート酸化膜を形成し、ポリシリコンをCVD法等により積層してフォトリソグラフィ処理を行うことによりゲート電極を形成する。この後、FET形成領域にソース領域およびドレイン領域を形成し、続いて、シリコン基板20の表面全体に層間絶縁膜のひとつとしてBPSG膜22をCVD法などにより所定厚さ寸法だけ形成する。

【0034】 【プロセスP3】…コンタクト形成工程

次に、BPSG膜22に、FET形成領域の電極形成部分にフォトリソグラフィ処理によりコンタクトホールを形成し、この後、所定温度条件(例えば900℃~950℃の範囲の熱処理温度)でリフロー処理を行ってパターンのエッジ部分がなだらかになるようにする。

【0035】

【プロセスP4】…1st Al配線形成工程

次に、図3(a)に示すように、下層の配線パターンとしての1st Al膜(第1層目のアルミニウム膜)23を形成する。この場合に、1st Al膜23の形成に先だって、例えばバリアメタルとしてのTiN膜(窒化チタン)を所定膜厚形成し、これに連続してAlSiCuを組成とする1st Al膜23を0.45μm程度の膜厚でスパッタにより形成する。この後、フォトリソグラフィ処理により1st Al膜23の形成部分に対応してレジストパターンを形成し、ドライエッチング処理によりエッチングを行う。このとき、ドライエッチング処理は、ECR(Electron cyclotron resonance)ドライエッチングを行うようにしている。なお、この場合において、ECRドライエッチングを行っても、1st Al膜23以外の部分はBPSG膜22で覆われているので、シリコン基板20の表面にダメージを与えることがない。

【0036】

【プロセスP5】…層間絶縁膜形成工程(前半)

続いて、下層の層間絶縁膜の形成工程として、次のような順に複数の膜を形成する。まず、同図(b)に示すように、P-SiN膜(プラズマ窒化膜)24を成膜し(処理温度は例えば380℃)、この後、1st TEOS膜25をCVD法により膜厚0.2μm程度を形成する(処理温度は例えば420℃)。次に、同図(c)に示すように、SOG(spin on glass)を塗布し、ベークおよびエッチバック処理を行うことにより、SOG膜26でシリコン基板20の表面の凹凸が多い部分を平坦化するように埋める。このとき、SOG膜26は、パターンの段差部分をなだらかにするように厚く形成され、平坦な部分においてはそれよりも薄い一定の膜厚に形成されている。

【0037】そして、同図(d)に示すように、下層の層間絶縁膜に相当する2nd TEOS膜27をCVD法により膜厚0.3μm程度を成膜する(処理温度は例えば420℃)。このときの2nd TEOS膜27の膜厚は、後工程で形成する3rd TEOS膜31の膜厚との合成膜厚が従来工程における第2 TEOS膜の膜厚(0.5μm程度)と同等となるように設定されている。

【0038】なお、2nd TEOS膜27を形成する工程では、成膜開始時点にO₂プラズマ処理を行なってTEOS膜の初期膜質を向上させることが行なわれる。このため、本来SOG膜26が吸湿性が高い性質を有していることに加えて、前の工程で形成したSOG膜26の表面がO₂プラズマに曝されることになり、SOG膜26の表層部分においては化学反応により膜中水分が増加した層26aが形成されることになる。

【0039】 【プロセスP6】…薄膜抵抗体形成工程

次に、図4(a)に示すように、薄膜抵抗体28用のC

r Si 膜 28 a をスパッタにより 15 nm 程度の膜厚で成膜し、フォトリソグラフィ処理によって薄膜抵抗体形成領域の部分にフォトレジスト 33 をパターンニングする。この後、ドライエッチング処理を行って Cr Si 膜 28 a の不要な部分を除去し、同図 (b) に示すように薄膜抵抗体 28 を形成する。このとき、Cr Si のドライエッチング処理では、Cr Si 膜 28 a がエッチングされたときに露出する部分が 2 nd TEOS 膜 36 であるから、シリコン基板 21 のシリコン面が露出することがなく、ダメージを受けることがない。

【0040】なお、上述の薄膜抵抗体 28 の形成工程においては、エッチング後のレジスト 33 の剥離工程で、レジスト 33 が除去された状態つまり 2 nd TEOS 膜 27 の表面が露出した状態で洗浄処理を行なうことから、その洗浄液に含まれる水や IPA (イソプロピルアルコール) 液に曝されるため、2 nd TEOS 膜 27 およびその下層の SOG 膜 26 の膜中水分が増加するようになる。

【0041】【プロセス P7】…脱気処理工程
そこで、次に、上述のように 2 nd TEOS 膜 27 および SOG 膜 26 中に含まれる水分 (気体発生成分) を次の脱気処理工程で気体として除去する。すなわち、この脱気処理工程を実施しない場合には、気体発生成分が後工程の熱処理などの昇温過程を経ることにより、上部に積層された膜との間に気体が閉じ込められた状態で気泡 (ボイド) として発生し、これが上部に積層する膜との密着性を損なうことになる。

【0042】これを防止するために、ここでは、例えば 450℃ で 30 分程度、 $N_2/H_2=100/1$ の雰囲気中において熱処理を行なう。これにより、2 nd TEOS 膜 27 および SOG 膜 26 中に含まれる気体発生成分をガス化してその表面から放出させることができる (図 4 (c) 参照)。

【0043】この熱処理条件は、薄膜抵抗体 28 の Cr Si 膜が劣化しない程度の上限温度である 500℃ 程度と、Ti W 膜 29 の成膜時のスパッタ温度に相当する下限温度である 300℃ 程度との間の適切な温度に設定することができる。なお、下限温度は、後工程において昇温過程を経る場合の温度と同等もしくはそれ以上の温度とすることが好ましい。

【0044】低い温度条件で脱気処理工程を実施する場合には、形成した膜に対する劣化を誘発する可能性は低い。脱気に必要な時間が長くなり、逆に、高い温度条件で実施する場合には、脱気処理を早めて短時間で処理することができるようになるが、上述したように劣化が発生する原因にもなるので、双方を満足する適切な温度設定が必要がある。

【0045】以上の点を踏まえると、最も好ましい熱処理条件は、前述したとおりであるが、最大の範囲としては、この構成の場合においては、350℃～500℃の

範囲で 1 分以上程度行なうことが好ましい。そして、さらに好ましくは、400℃～500℃の範囲で 10 分～60 分程度の熱処理条件を採用することができる。また、熱処理の雰囲気についても、 N_2 、 H_2 、 O_2 などのガス雰囲気で行なうことができるし、それらの混合ガスを流通させたガス雰囲気で行なうこともできるものである。

【0046】

【プロセス P8】…薄膜抵抗体用電極形成工程

次に、図 5 (a) に示すように、薄膜抵抗体 28 が形成された状態の面にバリアメタルとしての Ti W 膜 29 をスパッタにより膜厚 0.1 μm 程度成膜する。そして、これに続いて、Al Si 膜を薄膜抵抗体用の電極膜 30 として膜厚 0.2 μm 程度成膜する。続いて、フォトリソグラフィ処理を行って薄膜抵抗体 28 の両端部に電極を形成するようにフォトレジストでパターンニングする。

【0047】次に、ウェットエッチング処理により電極膜 30 のエッチングを行う。このとき、エッチング液としては磷酸と硝酸との混合液を用いているので、オーバーエッチを行っても下側に形成されている Ti W 膜 29 をエッチオフすることがない。電極膜 30 をエッチング処理すると、これに続いて Si ノジュールエッチング処理を行い、この後、同図 (b) に示すように、Ti W 膜 29 のウェットエッチング処理を行って電極のパターンニングをする。この場合にも、上述同様にして下地の Cr Si 膜からなる薄膜抵抗体 28 をエッチオフすることがないので、確実にパターンニング処理を行うことができるようになる。

【0048】なお、電極膜 30 および Ti W 膜 29 のエッチング処理では、同じフォトレジストのパターンを用いて 1 回のフォトレジスト処理工程で実施しているが、Ti W 膜 29 と電極膜 30 のエッチングレートの違いにより、下層側の Ti W 膜 29 の外周部分が電極膜 30 から露出するようにアンダーカットされた状態にエッチングされる。

【0049】

【プロセス P9】…層間絶縁膜形成工程 (後半)

次に、同図 (c) に示すように、上層の層間絶縁膜としての 3 rd TEOS 膜 31 を CVD 法により膜厚 0.3 μm 程度で成膜する (処理温度は例えば 420℃)。これにより、薄膜抵抗体 28 が 2 nd TEOS 膜 27 と 3 rd TEOS 膜 31 との間に挟まれた状態に形成されたことになる。

【0050】【プロセス P10】…Via 形成工程

次に、図 1 に示しているように、フォトリソグラフィ処理により上層の配線パターンとしての 2 nd Al 膜 43 との電気的接続をとるためのコンタクトホールである Via 31 a、31 b を形成する。このとき、Via 形成工程では、図示の薄膜抵抗体 28 用の電極膜の Via 31 a、31 b と共に、1 st Al 膜 23 にコンタクト

をとるための図示しないV i aも形成する。

【0051】

【プロセスP11】…2ndA1配線形成工程

同じく図1に示すように、2ndA1膜32はA l S i C u膜をスパッタにより膜厚0.9 μ m程度成膜する。続いて、フォトリソグラフィ処理により、電極形成部分にフォトレジストのパターニングを行い、ECRドライエッチング処理によりエッチングを行う。このとき、A l S i C u膜をエッチングした状態で露出するのは3rdTEOS膜31であるから、薄膜抵抗体28およびその電極膜30が酸化などの悪影響を受けることがない。2ndA1膜32の配線パターンが形成されると、これに続いて、例えば処理温度450℃でシンターを行う。

【0052】

【プロセスP12】…パッシベーション膜形成工程

最後に、全体にパッシベーション膜としてのP-S i N膜を形成する（処理温度は例えば380℃）。以上のプロセスP1～P12を経ることにより、他のプロセスにて行うエッチング処理などの悪影響を受けたり及ぼしたりすることなく、薄膜抵抗体28を形成することができると共に、1stA1膜23および2ndA1膜32を形成することができるようになる。なお、以上の処理の説明で判るように、CrS i膜からなる薄膜抵抗体37の形成工程の後の処理過程においては、CrS iの特性が劣化する500℃以上の温度では熱処理が行われないようになっている。

【0053】また、以上のようにして、プロセスP7の脱気処理工程において1stTEOS膜27およびSOG膜26中に含まれる水分（気体発生成分）をあらかじめ除去するように熱処理して脱気させるので、最終工程のパッシベーション膜形成工程を終了するまでの各種の昇温過程を経ても、T i W膜29が2ndTEOS膜27の表面から剥がれることがなくなり、密着性の良好な状態を保持させることができるようになる。

【0054】次に、本発明を着想するに至った不具合の原因の発見と、その不具合の解決策について発明者らが実施した実験結果とともに説明する。発明者らは、まず、剥がれ発生率がT i W膜の下地層との接触面積と相関関係があるか否かを実験により確認した。この結果、図6に示すように、剥がれ発生率は、T i W膜の形状そのものにはあまり関係なく、下地層との接触面積に大きく依存していることを確認した。

【0055】本実施形態と同様の条件下で行なった実験においては、接触面積が6000 μ m²までの範囲では剥がれは発生しておらず（測定サンプル個数は2500個で、剥がれ発生個数は0個）、8000 μ m²では17%（測定サンプル個数は90個で、剥がれ発生個数は15個）であり、10000 μ m²では28%（測定サンプル個数は90個で、剥がれ発生個数は25個）であった。また、接触面積が5×5mm²になると全て剥

がれる（測定サンプル数は90個）ことがわかった。

【0056】また、製造工程の説明においても述べたように、SOG膜は水分を含みやすい性質を有しており、2ndTEOS膜の成膜工程においてO₂プラズマ処理によりさらに水分を多く含んでしまう。そして、これが原因となってT i W膜を成膜した後の工程で昇温過程を経ると、その水分が気体となって放出され、密着性の低いT i W膜を押し上げて剥がれさせるのである。

【0057】すなわち、従来例の説明で示した図8

(a)では、実際にはSOG膜6の表層部分に水分を多く含んだ層6aが形成されており、その層6a中の水分を保持したまま最終工程まで進むうちに昇温過程を経ると、例えば、ここでは2ndA1膜12のシンター処理工程を経ると、これが気体となって放出されるため図7に示したように剥がれとなるのである。

【0058】また、このように剥がれが発生する条件として、発明者らが確認をしたところでは、SOG膜の膜厚が厚い部分や段差が大きくSOGが溜まる部分で特に剥がれが多くなることがわかり、上述したSOG膜が剥がれに起因していることを裏付ける結果となっている。

【0059】このように、T i W膜が酸化シリコンなどの下地層上に形成する場合に剥がれが発生しやすい性質を有することを考慮して、(1)その接触面積をできるだけ小さくするように薄膜抵抗体を形成したり、(2)2ndA1膜と別のフォトリソグラフィ処理によりパターニングすることで接触面積を所定以下となるようにしたり、あるいは(3)密着性を高める材料を介在させるなどの方法が考えられる。

【0060】しかしながら、上述した方法(1)～

(3)ではいずれの場合においても、素子のパターニングに関する設計変更を要したり、新たな材料を採用するためのプロセス設計が必要となり、簡単に採用することができない。この点で、前述の問題を解決するための本発明の脱気処理工程を実施することは、このような設計変更を必要としない点で簡単且つ安価に採用することができ、しかも信頼性の向上をも図ることができるものである。

【0061】このような本実施例によれば、薄膜抵抗体37の形成工程の後に脱気処理工程を設けているので、SOG膜26や2ndTEOS膜27中に含まれる気体発生成分をT i W膜29の形成前に除去しておくことができ、これにより、後工程で昇温過程を経る場合でもT i W膜29が2ndTEOS膜27の表面から剥がれることを極力防止することができ、安定した製造工程を実施することができるようになる。この結果、パターン設計の変更や新規材料を用いるプロセスを追加することなく、簡単且つ安価に製造することができ、しかも、従来どおりT i W膜と2ndA1膜とを1回のフォトリソグラフィ処理によりパターニングすることができるようになる。

【0062】本発明は、上記実施例にのみ限定されるものではなく、次のように変形また拡張できる。バリアメタルとしては、TiW膜以外に、TiN膜、W膜あるいはTi膜などを用いることができる。薄膜抵抗体としては、CrSi膜以外に、NiCr膜などを用いることができる。その膜厚は、5～20nm程度に設定することができる。下地層は、TEOS膜のような層間絶縁膜以外に、BPSG、LOCOS、SiO₂、窒化膜などの場合にも適用することができる。

【0063】上記実施形態においては、脱気処理工程の熱処理温度を450℃としているが、熱処理の温度は下限が300℃程度から上限は500℃程度が好ましい。なお、下限温度は、後工程との関係により一概には決まらないが、後工程で行なわれる熱処理などの昇温過程の温度と同等あるいはそれ以上の温度とすることで十分である。一方、上限温度については、温度を高く設定することは脱気処理を速く進める効果があるが、形成した膜が変質しない範囲内にとどめるべきである。この点で、上記した上限温度が妥当な値と考えられる。

【0064】脱気処理工程の熱処理の雰囲気はN₂（窒素）以外に、H₂（水素）、O₂（酸素）などのガスを用いることができるし、それらのガスを混合した状態の雰囲気中に行なうこともできる。

【0065】脱気処理工程は、熱処理により行なう場合について説明したが、他の方法を用いて脱気することもできる。例えば、真空中に一定条件でさらすことで脱気したり、化学的な処理を施すことでガス発生成分を除去するなどして脱気処理をすることが考えられる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す薄膜抵抗体部分の模式的断面図

【図2】製造工程の説明図

【図3】各製造工程における模式的断面図（その1）

【図4】各製造工程における模式的断面図（その2）

【図5】各製造工程における模式的断面図（その3）

【図6】測定により得られた接触面積に対する剥がれ発生率の相関図

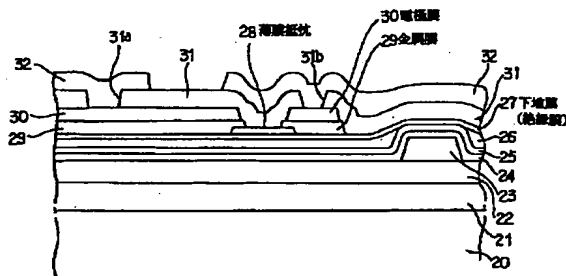
【図7】従来例を示す図1相当図

【図8】各製造工程における模式的断面図

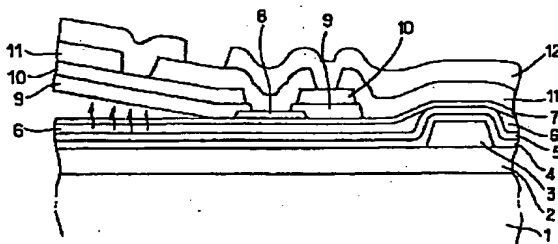
【符号の説明】

20はシリコン基板、21はLOCOS、22はBPSG膜、23は1stAl膜、25は1stTEOS膜、26はSOG膜、27は2ndTEOS膜（下地層、絶縁膜）、28は薄膜抵抗体（薄膜抵抗）、29はTiW膜（金属膜）、30は電極膜、31は3rdTEOS膜、32は2ndAl膜である。

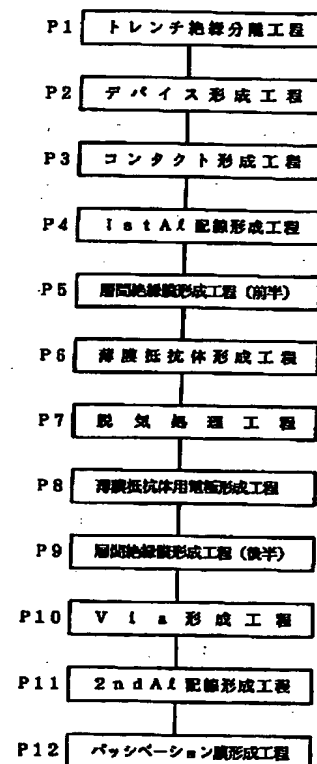
【図1】



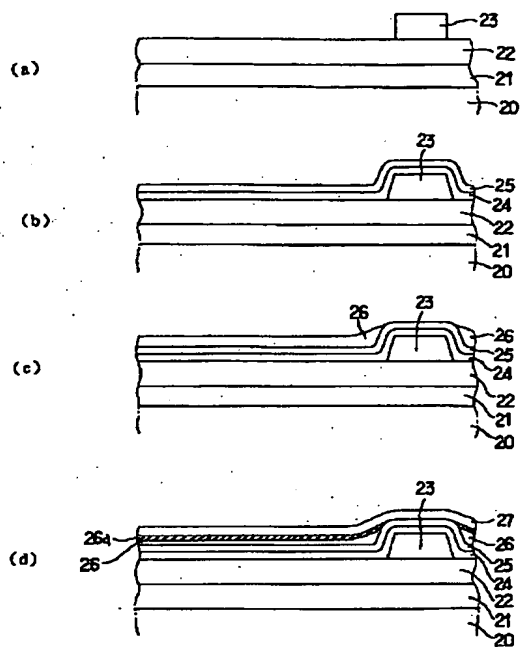
【図7】



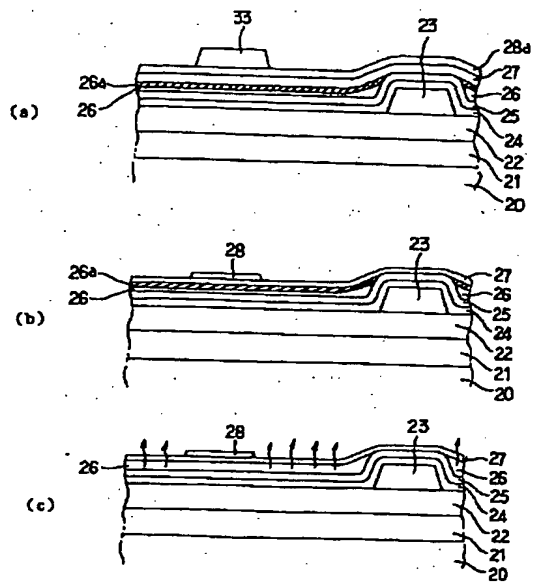
【図2】



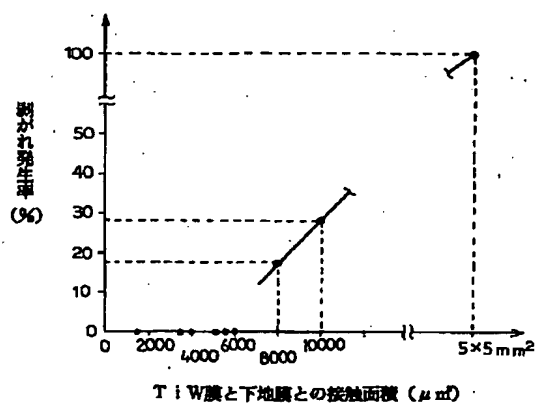
【図3】



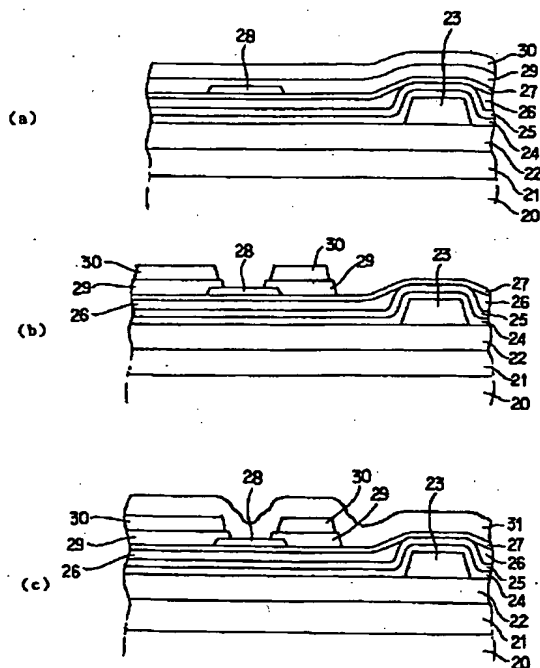
【図4】



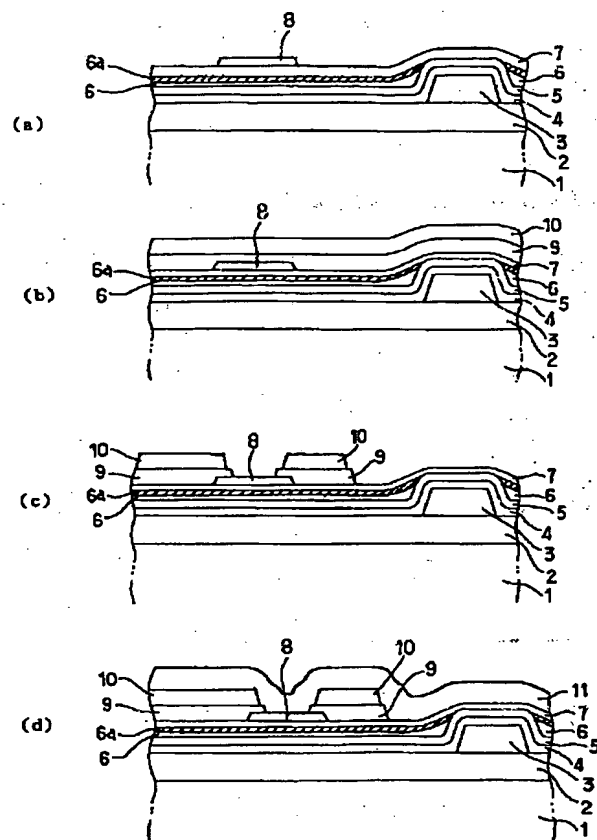
【図6】



【図5】



【図8】



フロントページの続き

Fターム(参考) 5F033 GG03 HH09 HH33 JJ01 JJ09
 KK07 KK09 KK18 KK19 KK23
 KK26 KK33 MM05 MM13 PP15
 QQ00 QQ08 QQ09 QQ11 QQ19
 QQ31 QQ33 QQ37 QQ73 QQ74
 QQ75 RR04 RR06 RR09 RR15
 SS04 SS11 SS22 TT02 VV09
 WW03 XX14